

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-129258

(43)Date of publication of application : 25.05.1993

(51)Int.Cl.

H01L 21/304

H01L 27/12

(21)Application number : 03-287580

(71)Applicant : HITACHI LTD

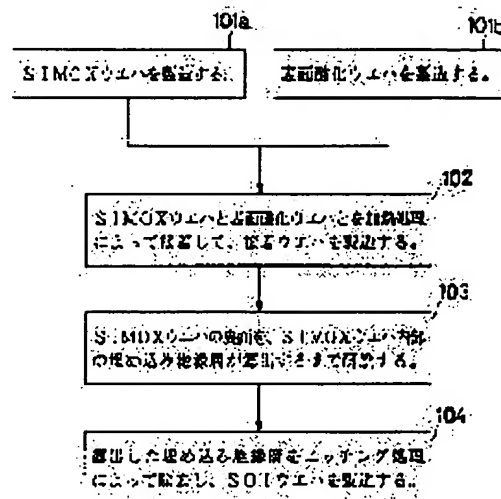
(22)Date of filing : 01.11.1991

(72)Inventor : KATO TERUO

(54) PRODUCTION OF SEMICONDUCTOR WAFER AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**(57)Abstract:**

PURPOSE: To provide an SOI wafer in which an extremely thin semiconductor single crystal layer is formed on a thick insulating layer.

CONSTITUTION: When manufacturing an SOI wafer, an SIMOX wafer and a surface oxidized wafer are adhered by heat treatment so as to manufacture an adhered wafer (process 102). The rear plane of the SIMOX wafer is polished until a buried insulating layer is exposed (process 103), the exposed buried layer is removed by etching (process 104) and only extremely thin uniform semiconductor single crystal layer is left on the thick insulating layer of the surface oxidized wafer.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-129258

(43) 公開日 平成 5 年 (1993) 5 月 25 日

(51) Int. Cl. ⁵

H01L 21/304

27/12

識別記号

321

庁内整理番号

M 8831-4M

8728-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 7 頁)

(21) 出願番号 特願平3-287580

(22) 出願日 平成 3 年 (1991) 11 月 1 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 加藤 照男

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 小川 勝男

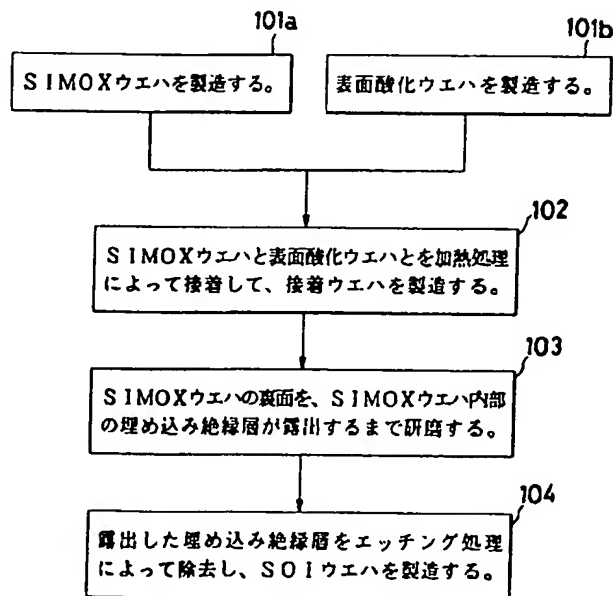
(54) 【発明の名称】 半導体ウエハの製造方法および半導体集積回路装置の製造方法

(57) 【要約】

【目的】 厚い絶縁層上に極薄の半導体単結晶層が形成されたSOIウエハを製造する。

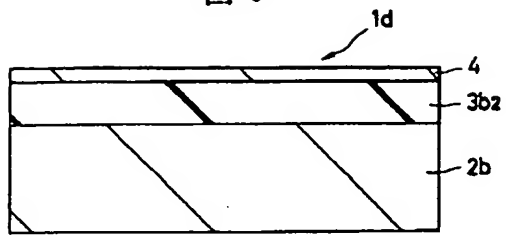
【構成】 SOIウエハを製造する際に、SIMOXウエハと表面酸化ウエハとを加熱処理により接着して接着ウエハを製造した後 (工程102)、SIMOXウエハの裏面を埋め込み絶縁層が露出するまで研磨し (工程103)、さらに、その露出させた埋め込み層をエッチング除去 (工程104) して、表面酸化ウエハの厚い絶縁層上に、SIMOXウエハの極薄で均一性の良い半導体単結晶層のみを残す。

図 1



【図 8】

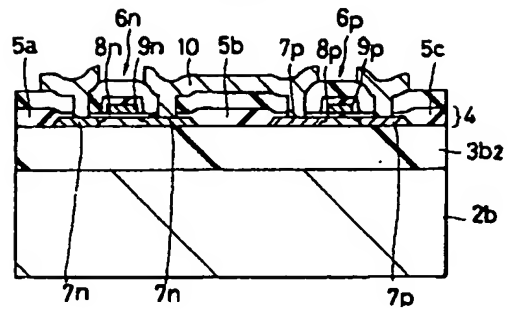
図 8



1d: SOIウエハ

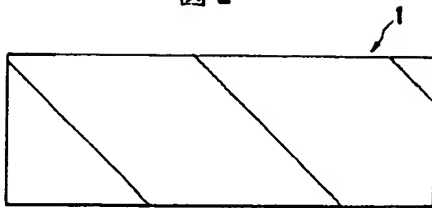
【図 9】

図 9



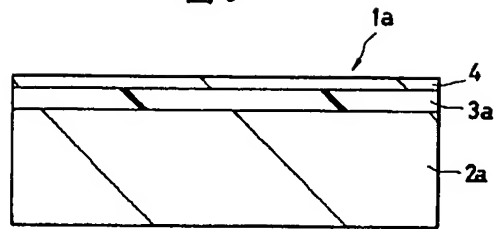
【図2】

図 2



【図3】

図 3



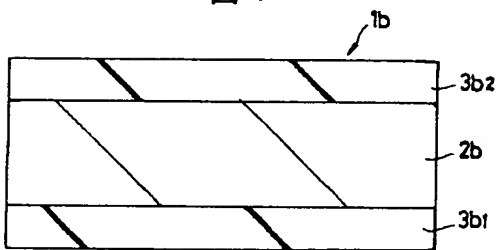
1a : SIMOXウエハ (第1半導体ウエハ)

3a : 埋め込み絶縁層

4 : 半導体単結晶層

【図4】

図 4

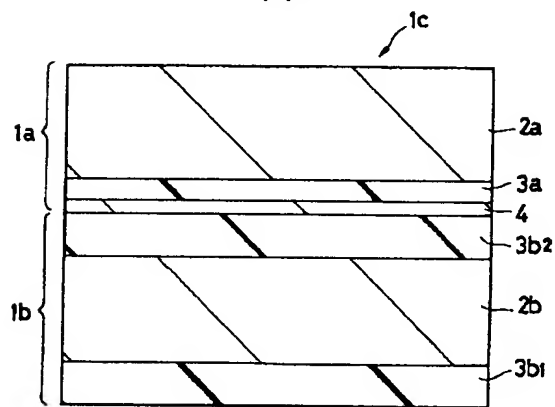


1b : 表面酸化ウエハ (第2半導体ウエハ)

3b1 : 絶縁層

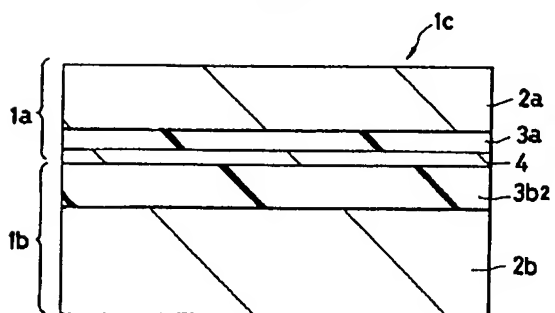
【図5】

図 5



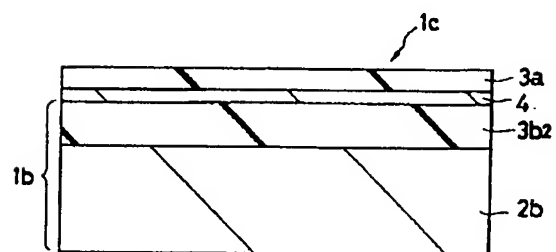
【図6】

図 6



【図7】

図 7



【図 3】SIMOXウエハの要部断面図である。

【図 4】表面酸化ウエハの要部断面図である。

【図 5】図 2 の SIMOXウエハと図 4 の表面酸化ウエハとを接着してなる接着ウエハの要部断面図である。

【図 6】SIMOXウエハの裏面研磨工程中の接着ウエハの要部断面図である。

【図 7】SIMOXウエハの裏面研磨工程後の接着ウエハの要部断面図である。

【図 8】SOIウエハの要部断面図である。

【図 9】SOIウエハの半導体単結晶層に半導体集積回路素子を形成した状態を示すSOIウエハの要部断面図である。

【符号の説明】

1 半導体ウエハ

1 a SIMOXウエハ (第 1 半導体ウエハ)

1 b 表面酸化ウエハ (第 2 半導体ウエハ)

1 c 接着ウエハ

1 d SOIウエハ

2 a 半導体基板層

2 b 半導体基板層

3 a 埋め込み絶縁層

3 b₁ 絶縁層

3 b₂ 絶縁層

4 半導体単結晶層

5 a フィールド絶縁膜

5 b フィールド絶縁膜

5 c フィールド絶縁膜

6 n nMOS

6 p pMOS

7 n 拡散層

7 p 拡散層

8 n ゲート絶縁膜

8 p ゲート絶縁膜

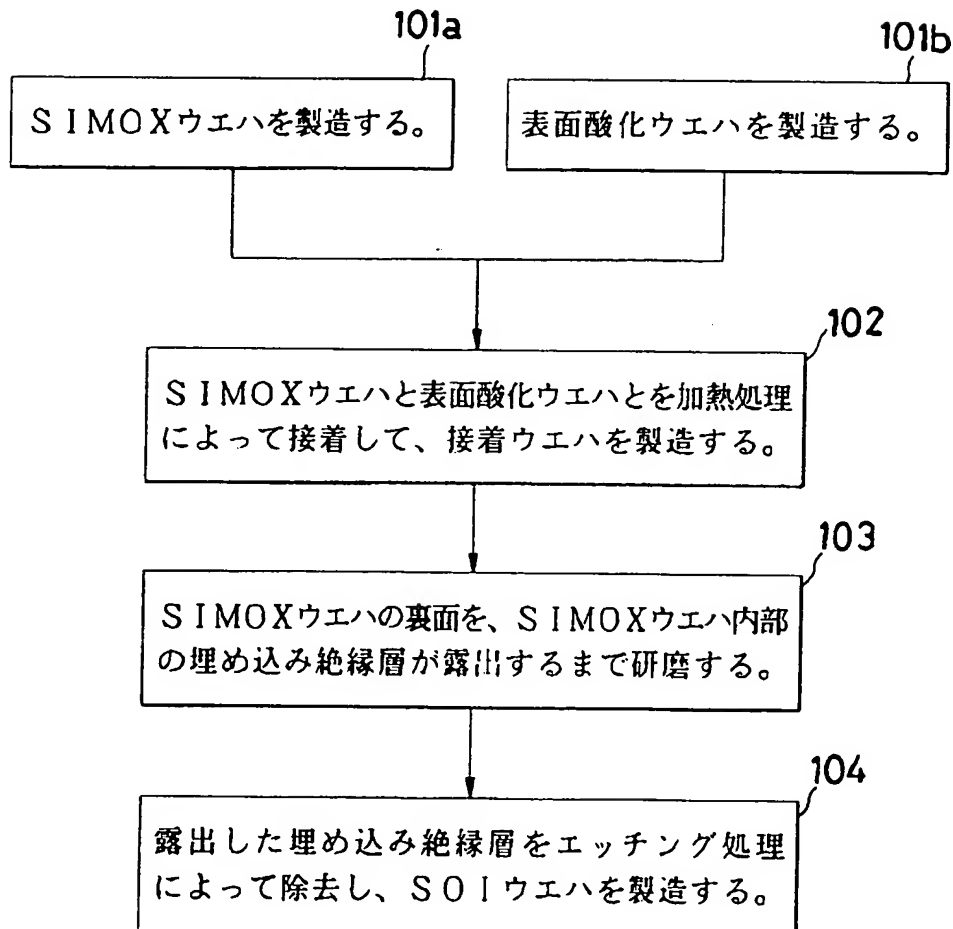
9 n ゲート電極

9 p ゲート電極

10 配線

【図 1】

図 1



例えば希釈HFによって除去することにより、図8に示すように、厚い絶縁層3b₂上に、極薄で均一性の良い半導体単結晶層4が形成されたSOIウエハ1dを製造する(工程104)。

【0038】その後、SOIウエハ1dの半導体単結晶層4に、SOI技術における通常のウエハプロセスによって半導体集積回路素子を形成する。SOIウエハ1d上に、例えばCMOS回路を形成した状態を図9に示す。

【0039】半導体単結晶層4は、フィールド絶縁膜5a~5cによって電気的に分離されている。フィールド絶縁膜5a~5cは、例えばSiO₂からなる。

【0040】フィールド絶縁膜5a、5bに囲まれた素子領域には、nチャネルMOS・FET(以下、nMOSという)6nが形成されている。nMOS6nは、拡散層7n、7nと、ゲート絶縁膜8nと、ゲート電極9nとから構成されている。

【0041】拡散層7nは、例えばn形不純物であるリン(P)またはヒ素(As)が半導体単結晶層4に拡散されてなる。

【0042】一方、フィールド絶縁膜5b、5cに囲まれた素子領域には、pチャネルMOSトランジスタ(以下、pMOSという)6pが形成されている。pMOS6pは、拡散層7p、7pと、ゲート絶縁膜8pと、ゲート電極9pとから構成されている。

【0043】拡散層7pは、例えばp形不純物であるホウ素(B)が半導体単結晶層4に拡散されてなる。

【0044】nMOS6nのゲート絶縁膜8nと、pMOS6pのゲート絶縁膜8pとは、例えばSiO₂からなり、熱酸化処理によって同時に形成されている。また、ゲート電極9n、9pは、例えばドーブトポリシリコンからなる。

【0045】また、nMOS6nの拡散層7nと、pMOS6pの拡散層7pとは、例えばアルミニウム(Al)またはAl合金からなる配線10によって電気的に接続されており、これにより、CMOS回路が形成されている。なお、SOIウエハ1dは、複数の半導体チップ(図示せず)に分割される。

【0046】このように本実施例によれば、SIMOXウエハ1aの極薄で均一性の良い半導体単結晶層4を、厚い絶縁層3b₂が形成された表面酸化ウエハ1bに貼り付けることにより、厚い絶縁層3b₂上に、極薄で均一性の良い半導体単結晶層4が形成されたSOIウエハ1dを製造することが可能となる。

【0047】したがって、そのSOIウエハ1dの半導体単結晶層4に、例えばCMOS回路等を形成することにより、CMOS回路の動作速度および信頼性を従来よりも向上させることが可能となる。

【0048】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例

に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0049】例えば前記実施例においては、SIMOXウエハの内部に形成した埋め込み絶縁層をSiO₂とした場合について説明したが、これに限定されるものではなく、例えば埋め込み絶縁層を窒化シリコン(Si₃N₄)としても良い。

【0050】この場合、SIMOXウエハの製造に際して半導体ウエハに窒素イオンを注入すれば良い。

【0051】また、前記実施例においては、SIMOXウエハの埋め込み絶縁層を、SIMOXウエハの裏面研磨工程におけるエッチングストップ層とした場合について説明したが、これに限定されるものではなく、例えば次のようにしても良い。

【0052】まず、半導体ウエハにpまたはn形の不純物イオンを注入して熱処理を施し、半導体ウエハの所定の深さに所定導電形の不純物層を形成する。

【0053】その後、その半導体ウエハの鏡面と、表面酸化ウエハの鏡面とを接着した後、半導体ウエハの裏面上に上記した所定導電形の不純物層をストップ層として前記実施例と同様に研磨する。

【0054】このようにして半導体ウエハの所定深さ分の半導体単結晶層のみを表面酸化ウエハ上に残し、SOIウエハを製造しても良い。

【0055】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCMOS回路を有する半導体集積回路装置に適用した場合について説明したが、これに限定されず種々適用可能であり、例えばバイポーラトランジスタ回路やBiCMOS(Bipolar CMOS)回路を有する他の半導体集積回路装置に適用することも可能である。

【0056】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0057】すなわち、請求項1記載の発明によれば、SIMOX半導体ウエハ上に形成された極薄で均一性の良い半導体単結晶層を、第2半導体ウエハに形成された厚い絶縁層上に貼り付けることにより、厚い絶縁層上に、極薄で均一性の良い半導体単結晶層が形成されたSOIウエハを製造することが可能となる。

【0058】したがって、そのSOIウエハの半導体単結晶層に所定の半導体集積回路素子を形成することにより、半導体集積回路装置の動作速度および信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体ウエハの製造工程を示す工程図である。

【図2】SIMOXウエハおよび表面酸化ウエハの製造に用いる半導体ウエハの要部断面図である。

形成された埋め込み絶縁層が露出するまで研磨する工程と、その露出された埋め込み絶縁層をエッチング除去する工程とを有する半導体ウエハの製造方法とするものである。

【0019】

【作用】上記した請求項1記載の発明によれば、SIMOX法により製造された第1半導体ウエハの極薄で均一性の良い半導体単結晶層を、第2半導体ウエハに形成された厚い絶縁層上に貼り付けることにより、厚い絶縁層上に、極薄で均一性の良い半導体単結晶層が形成されたSOIウエハを製造することが可能となる。

【0020】

【実施例】図1は本発明の一実施例である半導体ウエハの製造工程を示す工程図、図2はSIMOXウエハおよび表面酸化ウエハの製造に用いる半導体ウエハの要部断面図、図3はSIMOXウエハの要部断面図、図4は表面酸化ウエハの要部断面図、図5は図2のSIMOXウエハと図4の表面酸化ウエハとを接着してなる接着ウエハの要部断面図、図6はSIMOXウエハの裏面研磨工程中の接着ウエハの要部断面図、図7はSIMOXウエハの裏面研磨工程後の接着ウエハの要部断面図、図8はSOIウエハの要部断面図、図9はSOIウエハの半導体単結晶層に半導体集積回路素子を形成した状態を示すSOIウエハの要部断面図である。

【0021】本実施例の半導体ウエハの製造方法は、SOIウエハの製造方法である。以下、その方法を図1に沿って図2～図8により説明する。

【0022】まず、図2に示す半導体ウエハ1を二枚用意する。半導体ウエハ1は、例えば結晶面が(100)で抵抗率が $8 \sim 12 \Omega \cdot \text{cm}$ 程度のn形のSi単結晶からなり、その主面は鏡面処理が施されている。

【0023】そして、一方の半導体ウエハ1を用いて後述のSIMOXウエハ(第1半導体ウエハ)を製造する。その方法は、例えば次のとおりである。

【0024】まず、半導体ウエハ1の鏡面側に、例えば酸素イオンを注入する。この時のドーズ量は、例えば 2×10^{14} 個/ cm^2 程度、注入エネルギーは、例えば200KeV程度、基板温度は、例えば200℃程度である。

【0025】続いて、アルゴン(Ar)ガス等のような不活性ガス雰囲気中の拡散炉(図示せず)内で、例えば1300℃程度の熱処理を6時間程度施して、図3に示すようなSIMOXウエハ(第1半導体ウエハ)1aを製造する(工程101a)。

【0026】SIMOXウエハ1aは、半導体基板層2aと、その上層に形成された埋め込み絶縁層3aと、埋め込み絶縁層3a上に形成された半導体単結晶層4とから構成されている。埋め込み絶縁層3aの厚さは、例えば400nm程度であり、半導体単結晶層4の厚さは、例えば200nm程度である。

【0027】また、もう一方の半導体ウエハ1を拡散炉(図示せず)内で熱酸化して、図4に示すような表面酸化ウエハ(第2半導体ウエハ)1bを製造する(工程101b)。

【0028】表面酸化ウエハ1bの半導体基板層2bの表面には、例えば SiO_2 からなる絶縁層 $3b_1$ 、 $3b_2$ が形成されている。絶縁層 $3b_1$ 、 $3b_2$ の厚さは、上記したSIMOXウエハ1aの埋め込み絶縁層3aよりも厚く、例えば1000nm程度である。

【0029】次いで、上記SIMOXウエハ1aと、表面酸化ウエハ1bとを、互いの鏡面を接触させた状態で窒素(N_2)ガス等のような不活性ガス雰囲気中の拡散炉内に収容する。

【0030】続いて、例えば1100℃程度の熱処理を2時間程度施して、図5に示すように、SIMOXウエハ1aの半導体単結晶層4と、表面酸化ウエハ1bの絶縁層 $3b_2$ とを接着し、接着ウエハ1cを製造する(工程102)。

【0031】その後、表面酸化ウエハ1bの裏面の絶縁層 $3b_1$ を、例えばフッ酸(HF)によって除去した後、平面研削盤(図示せず)を用いてSIMOXウエハ1aの裏面の半導体基板層2aを研削する。この時の研削処理においては、図6に示すように、半導体基板層2aの厚さが、例えば厚さ $30 \mu\text{m}$ 程度となった時点で研削処理を終了する。

【0032】次いで、ポリッシング装置(図示せず)を用いて、機械的・化学的研磨処理により、残りの半導体基板層2aを研磨する。この時の研磨処理においては、図7に示すように、埋め込み絶縁層3aが露出した時点で処理を終了する(工程103)。この研磨処理に際しては、研磨剤を、例えば次のように設定する。

【0033】まず、最初は、研磨速度を高めるために、例えば水酸化カリウム(KOH)水溶液等のようなアルカリ水溶液に粒径 $1 \mu\text{m}$ 程度の大径の SiO_2 微粒子を分散させた研磨剤を用いる。

【0034】続いて、最後は、ほとんど化学的エッチング作用だけで研磨処理が行われるようにするために、例えば上述のアルカリ水溶液に粒径 $0.2 \mu\text{m}$ の小径の SiO_2 微粒子を分散させた研磨剤を用いる。

【0035】このようにすると、アルカリ水溶液は、 SiO_2 をエッチングしないので、その研磨処理の際に、SIMOXウエハ1a内に予め形成されている埋め込み絶縁層3aがエッチングストップ層として機能し、埋め込み絶縁層3aが露出した時点でエッチングによる研磨処理をほぼストップさせることができる。

【0036】したがって、SIMOXウエハ1aの裏面研磨工程に際して、半導体単結晶層4にダメージを与えることなく、図5に示したSIMOXウエハ1aの裏面の半導体基板層2aを除去することができる。

【0037】最後に、露出した埋め込み絶縁層3aを、

【特許請求の範囲】

【請求項 1】 S I M O X 法により製造された第 1 半導体ウエハの半導体単結晶層を第 2 半導体ウエハの鏡面に形成された絶縁層に接触させた状態で、前記第 1 半導体ウエハと前記第 2 半導体ウエハとを加熱して接着する工程と、その接着工程後の第 1 半導体ウエハの裏面を第 1 半導体ウエハの内部に形成された埋め込み絶縁層が露出するまで研磨する工程と、その露出された埋め込み絶縁層をエッチング除去する工程とを有することを特徴とする半導体ウエハの製造方法。

【請求項 2】 請求項 1 記載の半導体ウエハの製造方法によって前記第 2 半導体ウエハの絶縁層上に貼り付けられた前記半導体単結晶層に所定の半導体集積回路素子を形成することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、半導体ウエハの製造方法および半導体集積回路装置の製造技術に関し、特に、所定の半導体集積回路素子を形成するための半導体単結晶層を絶縁層上に形成してなる S O I ウエハの製造方法に適用して有効な技術に関するものである。

【 0 0 0 2 】

【従来の技術】 S O I (Silicon On Insulator) ウエハの製造技術は種々提案されているが、それらの内で代表的な技術は、例えば次の 2 つである。

【 0 0 0 3 】 (1). S I M O X (Separation by Implanted Oxygen) 技術。

【 0 0 0 4 】 これは、シリコン (S i) 単結晶からなる半導体ウエハに酸素イオン等を高エネルギー、高ドーズ量で注入した後、高温で熱処理を行うことにより、半導体ウエハの主面から所定の深さに二酸化ケイ素 (S i O₂) からなる埋め込み絶縁層を形成するとともに、その埋め込み絶縁層上に極薄の S i 単結晶層を形成して、S O I ウエハを製造する技術である。

【 0 0 0 5 】 この技術の場合、半導体集積回路素子が形成される S i 単結晶層の厚さを、例えば 2 0 0 n m 以下というように極めて薄く、かつ、均一性良く形成することができるので、半導体集積回路装置の動作速度および信頼性を向上させる上で都合が良いという利点がある。

【 0 0 0 6 】 (2). 接着 S O I 技術。

【 0 0 0 7 】 これは、通常の S i 単結晶からなる第 1 半導体ウエハと、同じく S i 単結晶からなり表面に S i O₂ 膜が形成された第 2 半導体ウエハとを用意し、それらを各々の鏡面同士を接触させた状態で加熱して接着した後、一方の半導体ウエハを研磨することにより、上述の S i O₂ 膜上に所定厚さの S i 単結晶層を形成して、S O I ウエハを製造する技術である。

【 0 0 0 8 】 この技術の場合、埋め込み絶縁層となる上記 S i O₂ 膜の厚さを、例えば 1 0 0 0 n m 程度という

ように比較的厚く形成することができるので、低容量構造を実現でき、半導体集積回路装置の動作速度を向上させる上で都合が良いという利点がある。

【 0 0 0 9 】 なお、S I M O X 技術については、例えば日刊工業新聞社、昭和 6 2 年 9 月 2 9 日発行、「CMO S デバイスハンドブック」P 3 9 4 ~ P 3 9 5 に記載があり、S I M O X 技術による S O I ウエハの製造技術について説明されている。

【 0 0 1 0 】

【発明が解決しようとする課題】 ところが、上記(1)、(2)の従来技術においては、以下の問題があることを本発明者は見出した。

【 0 0 1 1 】 S I M O X 技術においては、埋め込み絶縁層上に極薄の S i 単結晶層を形成することができるが、形成可能な埋め込み絶縁層の厚さが、たかだか 5 0 0 n m 程度というように薄く、この程度の厚さでは、半導体集積回路装置の高速動作に必要とされる低容量構造を実現する上で充分といえないという問題があった。

【 0 0 1 2 】 埋め込み絶縁層をあまり厚くできない理由は、埋め込み絶縁層を厚くする場合、酸素イオンを半導体ウエハに高ドーズ量で注入した後、高温熱処理を長時間施す必要があるため、厚い埋め込み絶縁層を形成しようとするると時間的・経済的に見合わなくなるからである。

【 0 0 1 3 】 一方、接着 S O I 技術においては、埋め込み絶縁層を厚くすることは容易であるが、現在の研磨技術では、S i 単結晶層を 2 μ m 以下に形成することは困難であり、この場合、S i 単結晶層の厚さが半導体集積回路装置の高速動作を実現する上で充分といえないという問題があった。

【 0 0 1 4 】 本発明は上記課題に着目してなされたものであり、その目的は、厚い絶縁層上に極薄の半導体単結晶層が形成された S O I ウエハを製造することのできる技術を提供することにある。

【 0 0 1 5 】 本発明の他の目的は、半導体集積回路装置の動作速度を向上させることのできる技術を提供することにある。

【 0 0 1 6 】 本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 7 】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【 0 0 1 8 】 すなわち、請求項 1 記載の発明は、S I M O X 法により製造された第 1 半導体ウエハの半導体単結晶層を第 2 半導体ウエハの鏡面に形成された絶縁層に接触させた状態で、前記第 1 半導体ウエハと前記第 2 半導体ウエハとを加熱して接着する工程と、その接着工程後の第 1 半導体ウエハの裏面を第 1 半導体ウエハの内部に